

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

LOW VOLTAGE LOSS DRIVER

Patent Number: JP7245988
Publication date: 1995-09-19
Inventor(s): NISHIMURA KENJI; others: 01
Applicant(s):: HITACHI LTD; others: 01
Requested Patent: ☐ JP7245988
Application Number: JP19940030434 19940228
Priority Number(s):
IPC Classification: H02P7/00 ; G11B21/02
EC Classification:
Equivalents:

Abstract

PURPOSE:To make it possible to reduce both of the upper and lower side output saturation voltages of a driver, by transmitting the output voltage of an input circuit to an output terminal with a voltage drop equivalent to a base-emitter voltage of one transistor, and shifting it to the reference potential side within a range smaller than the base-emitter voltage.

CONSTITUTION:An output terminal 5 is driven H or L through an output circuit 4. A bias circuit 8 feeds the emitter of a lower side driving transistor Q11 with a potential obtained by shifting the output voltage V_o of the output terminal 5 to the upper side of a base-emitter voltage of one transistor. When a proper value is selected for the value of a resistor R1 in a level adjusting circuit 9, the level of output voltage V_a input from an input circuit 1 to a lower side drive circuit 3 is the minimum value of the sum of lower side output saturation voltage at the time of L output and upper side output saturation voltage at the time of H output. This makes it possible to set the output voltage V_o at the time of H or L output to the optimum level without changing the number of transistors for causing voltage drop in the bias circuit 8.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245988

(43) 公開日 平成7年(1995)9月19日

(51) Int. Cl.⁶

H 0 2 P 7/00

G 1 1 B 21/02

識別記号

1 0 1 E

庁内整理番号

H 8841-5D

F I

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平6-30434

(22) 出願日 平成6年(1994)2月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72) 発明者 西村 健二

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(72) 発明者 関 邦夫

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 大日方 富雄

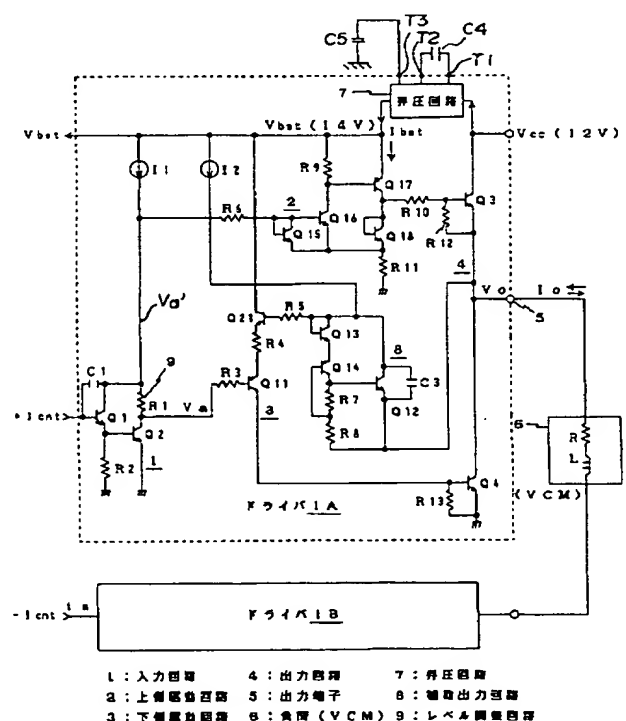
(54) 【発明の名称】 低電圧損失ドライバ

(57) 【要約】

【目的】 ドライバの上側出力飽和電圧と下側出力飽和電圧とを両立して小さくする。

【構成】 入力回路の出力電圧をトランジスタ1個分のベース・エミッタ間電圧に相当する電圧降下で出力端子に伝達させるとともに、上記入力回路の出力電圧をトランジスタのベース・エミッタ間電圧よりも小さな範囲で基準電位側にシフトさせるレベル調整回路を設ける。

【効果】 バイアス回路の構成を変更することなく、H (高レベル) 出力時の出力電圧とL (低レベル) 出力時の出力電圧をそれぞれ最適レベルに設定することができる。



【特許請求の範囲】

【請求項1】 電源電位側から負荷を駆動する上側出力トランジスタと基準電位側から上記負荷を駆動する下側出力トランジスタとにより形成されるプッシュプル型の出力回路と、エミッタフォロウ回路を形成する第1トランジスタのエミッタを、エミッタ接地型増幅回路を形成する第2トランジスタのベースに接続するとともに、第1トランジスタのコレクタ・エミッタ間電圧と第2トランジスタのベース・エミッタ間電圧の和に相当する出力電圧を第2トランジスタのコレクタ側から出力する入力回路と、上記入力回路の出力電圧によって上記出力回路の上側出力トランジスタと下側出力トランジスタを相補駆動する上側駆動回路および下側駆動回路と、上記入力回路の出力電圧をトランジスタ1個分のベース・エミッタ間電圧に相当する電圧降下で上記出力端子に伝達する補助出力回路と、上記入力回路および上記補助出力回路の動作電源電圧をそれぞれ上記出力回路の動作電源電圧よりも高くする昇圧回路と、上記入力回路の出力電圧をトランジスタのベース・エミッタ間電圧よりも小さな範囲で基準電位側にシフトさせるレベル調整回路とを備えたことを特徴とする低電圧損失ドライバ。

【請求項2】 入力回路の出力側を構成する第2トランジスタのコレクタに抵抗を直列に挿入することにより上記レベル調整回路を形成したことを特徴とする請求項1に記載の低電圧損失ドライバ。

【請求項3】 第2トランジスタのコレクタにショットキー・ダイオードを直列に挿入することにより上記レベル調整回路を形成したことを特徴とする請求項1または2に記載の低電圧損失ドライバ。

【請求項4】 第1トランジスタのコレクタを第2トランジスタのコレクタから分離し、この分離した第1トランジスタのコレクタを出力回路の電源電位に接続することにより上記レベル調整回路を形成したことを特徴とする請求項1から3までのいずれかに記載の低電圧損失ドライバ。

【請求項5】 第1トランジスタのコレクタを第2トランジスタのコレクタから分離し、この分離した第1トランジスタのコレクタを出力回路と同じ電源電位に接続するとともに、第2トランジスタのエミッタに抵抗を挿入することにより上記レベル調整回路を形成したことを特徴とする請求項1から4までのいずれかに記載の低電圧損失ドライバ。

【請求項6】 ディスク記憶ドライブ装置のデータ書込／読出ヘッドを駆動するボイスコイルモータと、このボイスコイルモータを電源電位側から駆動する上側出力トランジスタと上記ボイスコイルモータを基準電位側から駆動する下側出力トランジスタとにより形成されるプッシュプル型の出力回路と、エミッタフォロウ回路を形成する第1トランジスタのエミッタを、エミッタ接地型増幅回路を形成する第2トランジスタのベースに接続する

とともに、第1トランジスタのコレクタ・エミッタ間電圧と第2トランジスタのベース・エミッタ間電圧に相当する出力電圧を第2トランジスタのコレクタ側から取り出す入力回路と、上記入力回路の出力によって上記出力回路の上側出力トランジスタと下側出力トランジスタを相補駆動する上側駆動回路および下側駆動回路と、上記入力回路の出力電圧をトランジスタ1個分のベース・エミッタ間電圧に相当する電圧降下で上記出力端子に伝達する補助出力回路と、上記入力回路および上記補助出力回路の動作電源電圧をそれぞれ上記出力回路の動作電源電圧よりも高くする昇圧回路と、上記入力回路の電圧をトランジスタのベース・エミッタ間電圧よりも小さな範囲で基準電位側にシフトさせるレベル調整回路とを備えたことを特徴とするディスク記憶ドライブ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ドライバ、さらには半導体集積回路化されたモータドライバに適用して有効な技術に関するものであって、たとえばHDD（ハードディスク記憶ドライブ装置）のデータ書込／読出用ヘッドを駆動するボイスコイルモータ・ドライバに利用して有効な技術に関するものである。

【0002】

【従来の技術】 たとえば、HDDの高速化にはヘッド位置決め時間、とくにシーク時間を短くする必要があり、そのためにはヘッドを高速で動かす必要があり、ヘッドを高速で駆動するためにはVCM（ボイスコイルモータ）の駆動電流を増やす必要がある。

【0003】 VCMの駆動電流を増やすためには、VCMのコイルにできるだけ大きな駆動電圧を与える必要がある。コイルには巻線抵抗などの抵抗分が少なからず寄生し、この抵抗分が電圧損失分（IR損失）となる。したがって、HDDの高速化には、できるだけ大きな駆動電圧を与えることができるドライバが必要となる。

【0004】 図8は発明者等が検討したドライバ1A、1Bの概略構成を示したものであって、1は入力回路、2は上側駆動回路、3は下側駆動回路、4はトランジスタQ3、Q4によるプッシュプル型出力回路、5は出力端子、6はVCMからなる負荷である。また、 I_{cnt} は入力電流、 V_o は出力電圧、 V_{cc} は電源電位である。負荷（VCM）6は抵抗RとインダクタンスLが直列に接続された等価回路を有し、互いに逆相で動作する2つの負荷ドライバ1Aと1Bによって双方向から相補駆動（BTL駆動）される。

【0005】 ここで、本発明者らが検討したところによると、図8に示した回路では、電源電圧（ $V_{cc}-0$ ）の電圧利用効率が悪く、電源電圧（ $V_{cc}-0$ ）に対する出力電圧 V_o の変化幅（ダイナミックレンジ）が狭いという問題があった。

【0006】 すなわち、図8に示したドライバ1A、1

Bの出力電圧 V_o は、上側駆動回路2の最高出力電圧からトランジスタQ3の V_{be} （ベース・エミッタ間電圧＝約0.6～0.8V）だけ低いところで飽和してしまい、それ以上は高くない。つまり、ドライバ1A、1Bの出力電圧 V_o は、少なく見積もっても、電源電位 V_{cc} からトランジスタQ3の V_{be} を差し引いたところまでしか上昇することができない。このことが、電源電圧（ $V_{cc}-0$ ）に対する出力電圧 V_o の変化幅を狭くしていた。

【0007】だが、上述したように、HDDの高速化に際しては、負荷（VCM）1を駆動する出力電圧 V_o の変化幅をできるだけ大きくすることが要求される。このためには、上記ドライバ1A、1Bの電圧利用効率を高めて、電源電圧（ $V_{cc}-0$ ）に対する出力電圧の変化幅を大きくしなければならない。つまり、H（高レベル）出力時には出力電圧 V_o と電源電位 V_{cc} の差いわゆる上側出力飽和電圧ができるだけ小さくなるようにし、L（低レベル）出力時には出力電圧 V_o と基準電位（0V）の差いわゆる下側出力飽和電圧ができるだけ小さくなるようにしなければならない。

【0008】図9は、別のドライバ1Aの要部における詳細回路を示す。同図において、入力回路1は、第1および第2の2つのnpnバイポーラ・トランジスタQ1、Q2と定電流回路I1によって構成される。Q1はエミッタフォロワ回路を形成し、Q2とI1はエミッタ接地型増幅回路を形成する。Q1のエミッタはQ2のベースに接続され、Q1のコレクタ・エミッタ間電圧とQ2のベース・エミッタ間電圧の和に相当する出力電圧 V_a がQ2のコレクタから取り出される。

【0009】上側駆動回路2は、npnバイポーラ・トランジスタQ15、Q16、Q18、pnpバイポーラ・トランジスタQ17、抵抗R5、R9、R10、R11によって構成され、入力回路1の出力電圧 V_a がH（高レベル）のときに上側出力トランジスタQ3をオンに導通駆動する。

【0010】下側駆動回路3は、pnpバイポーラ・トランジスタQ11および抵抗R3によって構成され、入力回路1の出力電圧 V_a がL（低レベル）のときに下側出力トランジスタQ4をオンに導通駆動する。

【0011】出力回路4は、上側出力トランジスタQ3および下側出力トランジスタQ4が共にnpnバイポーラ・トランジスタであって、各トランジスタQ3、Q4のベース・エミッタ間にはそれぞれベース蓄積電荷の引き抜きを促進するための抵抗R12、R13が並列に接続されている。

【0012】8はバイアス回路であり、npnバイポーラ・トランジスタQ21、Q12、Q13、pnpバイポーラ・トランジスタQ14、抵抗R4、R5、R7、R8、コンデンサC3、定電流回路I2によって構成される。

【0013】なお、ドライバとしては、たとえば、日立製作所製半導体集積回路「VCMドライバ：HA13529シリーズ」がある。

【0014】

【発明が解決しようとする課題】しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【0015】すなわち、上述したドライバでは、上側出力飽和電圧と下側出力飽和電圧を両立して小さくすることが困難である、という問題が生じる。

【0016】図9の回路において、入力回路1の出力電圧 V_a は、Q11、Q21にてそれぞれ V_{be} （但し、 V_{be} はベース・エミッタ間電圧）ずつ上側にシフトされた後、Q13、Q14、Q12にてそれぞれ V_{be} ずつ下側にシフトされることにより、略 $V_a - V_{be}$ で計算される電圧が出力端子5に伝達される。

【0017】ここで、 $V_a = V_{be} + V_{ce} = \text{約} 0.8 \text{ V}$ とすれば、L（低レベル）出力時の出力電圧 V_o は、 V_{be} を0.6Vとすると、 $V_o = 0.8 \text{ V} - 0.6 \text{ V} = \text{約} 0.2 \text{ V}$ になるはずである。つまり、下側出力飽和電圧は0.2Vまで下がるはずである。

【0018】ところが、図10に示すように、実際の回路動作では、各トランジスタQ11、Q21、Q13、Q14、Q12の V_{be} がトランジスタのサイズ（エミッタ面積）や電流密度などによってそれぞれ異なり、これに各抵抗R3、R4、R5、R7などにてそれぞれに生じる電圧降下分も加わることにより、実際の下側出力飽和電圧は上記計算値（約0.2V）よりもかなり小さくなってしまふ。

【0019】図10は各素子におけるサイズ／抵抗値（AE、R）、電流（I）、電圧降下値（ V_{be} 、 V_R ）を表にしたものであって、出力電流 I_o が0Aのアンダリング状態では、補助出力回路8における電圧降下は542mVとなり、このときの出力電圧 V_o は $V_a - 0.542 \text{ V}$ となる。しかし、出力電流 I_o が1Aのときの補助出力回路7での電圧降下は183mVに減り、このときの出力電圧 V_o は $V_a - 0.183 \text{ V}$ となる。したがって、L（低レベル）出力時に出力電流 I_o が1A流れる動作状態では、出力電圧 V_o が下限となるL（低レベル）出力時でも、その出力電圧 V_o は、 $V_a - 0.183 \text{ V}$ により、約0.5Vまでしか下がることができない。このため、下側出力飽和電圧は下側出力トランジスタQ4を飽和動作させたときよりも大きくなってしまふ。

【0020】上述した問題の解決手段としては、ダイオード接続のトランジスタQ13に直列にダイオード接続のトランジスタを挿入するなどして、バイアス回路8における電圧降下の大きさを V_{be} から $2V_{be}$ に増大させることが考えられる。しかし、この場合は、H（高レベル）出力時の出力電圧 V_o が下がって上側出力飽和電

圧を大きくしてしまう、という背反が生じる。

【0021】本発明の目的は、ドライバの上側出力飽和電圧と下側出力飽和電圧とを両立して小さくする、という技術を提供することにある。

【0022】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0023】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0024】すなわち、入力回路の出力電圧をトランジスタ1個分のベース・エミッタ間電圧に相当する電圧降下で出力端子に伝達させるとともに、上記入力回路の出力電圧をトランジスタのベース・エミッタ間電圧よりも小さな範囲で基準電位側にシフトさせるレベル調整回路を設ける、というものである。

【0025】

【作用】上述した手段によれば、H（高レベル）出力時の出力電圧とL（低レベル）出力時の出力電圧をそれぞれ最適レベルに設定することができる。

【0026】これにより、ドライバの上側出力飽和電圧と下側出力飽和電圧とを両立して小さくする、という目的が達成される。

【0027】

【実施例】以下、本発明の好適な実施例を図面を参照しながら説明する。なお、図において、同一符号は同一あるいは相当部分を示すものとする。図1は本発明の技術が適用されたドライバの一実施例を示す。同図に示すドライバ1A、1BはHDDのヘッド駆動を行うVCM（ボイスコイルモータ）を負荷6とするものであって、1は入力回路、2は上側駆動回路、3は下側駆動回路、4はトランジスタQ3、Q4によるプッシュプル型出力回路、5は出力端子、6は負荷（VCM）、7は昇圧回路、8はバイアス回路である。また、I_{cnt}は入力電流、V_oは出力電圧、V_{cc}は電源電位である。負荷（VCM）6は抵抗RとインダクタンスLが直列に接続された等価回路で表すことができる。かかる負荷（VCM）6は、互いに逆相で動作する2つの負荷ドライバ1Aと1Bによって双方向から相補駆動（BTL駆動）される。

【0028】入力回路1は、第1および第2のダーリントン接続の2つのnpnバイポーラ・トランジスタQ1、Q2、定電流回路I1、発振防止用コンデンサC1などによって構成される。Q1はエミッタフォロウ回路を形成し、Q2とI1はエミッタ接地型増幅回路を形成する。Q1のエミッタはQ2のベースに接続され、Q1のコレクタ・エミッタ間電圧とQ2のベース・エミッタ間電圧の和に相当する出力電圧V_aがQ2のコレクタから取り出される。入力回路1はいわゆるA級増幅器を成

すような動作とされ、その出力動作点（V_a、V_a'）は電源電圧V_{cc}のほぼ半分の電位とされる。

【0029】上側駆動回路2は、npnバイポーラ・トランジスタQ15、Q16、Q18、pnpバイポーラ・トランジスタQ17、抵抗R5、R9、R10、R11によって構成され、入力回路1の出力電圧V_aがH（高レベル）のときに上側出力トランジスタQ3をオンに導通駆動する。

【0030】下側駆動回路3は、pnpバイポーラ・トランジスタQ11および抵抗R3によって構成され、入力回路1の出力電圧V_aがL（低レベル）のときに下側出力トランジスタQ4をオンに導通駆動する。

【0031】出力回路4は、抵抗R10、R12、R13から構成される。出力回路4を成す上側及び下側トランジスタQ3、Q4が、図示の全体の回路とともにモノリシック半導体集積回路を成すのに適するよう、共にnpnバイポーラ・トランジスタから構成される。各トランジスタQ3、Q4のベース・エミッタ間にはそれぞれベース蓄積電荷の引き抜きを促進するための抵抗R12、R13が並列に接続されている。

【0032】バイアス回路8は、npnバイポーラ・トランジスタQ21、Q12、Q13、pnpバイポーラ・トランジスタQ14、抵抗R4、R5、R7、R8、コンデンサC3、定電流回路I2によって構成され、出力V_oが入力回路1の出力V_aよりもV_{be}以上高レベルである範囲において、トランジスタQ11をオン状態にせしめる電位をかかるとランジスタQ11のエミッタに供給する。これによって、出力トランジスタQ4が動作され、出力V_oが入力回路1の出力V_aに追従されるようにされる。

【0033】なお、下側駆動回路3におけるトランジスタQ11のベース側抵抗R3、およびバイアス回路8における抵抗R4、R5、コンデンサC3は、回路の異常動作を防止するために適宜に設定されるものである。

【0034】すなわち、図示の構成において駆動トランジスタQ11がオンとなる状態においては、出力端子5からバイアス回路8を介して、駆動トランジスタQ11のエミッタに至り、かつ駆動トランジスタQ11のコレクタから出力トランジスタQ4のベース、及びコレクタを介して再び出力端子5に至る帰還ループが形成されることになり、かかる帰還ループでの信号位相回転とそのときのゲインに応じて発振しないしは、発振しがちな不安定状態があらわれやすくなる。抵抗R3ないしR5、コンデンサC3は、かかる帰還動作を安定化する。

【0035】ここで、入力回路1には、その出力電圧V_aをトランジスタ1個分のベース・エミッタ間電圧V_{be}よりも小さな範囲で基準電位側にシフトさせるレベル調整回路9が設けられている。このレベル調整回路9は、入力回路1の出力側を構成する第2トランジスタQ2のコレクタに抵抗R1を直列に挿入することにより形

成されている。抵抗 R_1 の電圧降下は、定電流回路 I_1 からの電流と抵抗 R_1 の抵抗値とによって決まる。従って、抵抗 R_1 の値により、入力回路1から下側駆動回路3に入力される電圧 V_a のレベルを任意の幅で設定することができる。

【0036】昇圧回路7は、本発明と直接に関係がないのでその詳細を図示しないが、その内部に電源電圧を V_{cc} によって動作される発振回路と、かかる発振回路によってスイッチ制御されるバイポーラトランジスタからなる複数のスイッチ素子と、モノリシック半導体集積回路の外部端子 $T_1 \sim T_3$ に結合されるコンデンサ C_4 、 C_5 から構成される。

【0037】第1スイッチ状態では、 T_1 が電源端子 V_{cc} に結合され、 T_2 が回路の接地電位点に結合されることによって、電荷移送コンデンサ C_4 がほぼ電源電圧レベルに充電される。

【0038】第2スイッチ状態では、 T_1 が T_3 に結合され T_2 が電源端子 V_{cc} に結合される。従って、出力コンデンサ C_5 には、電源電圧 V_{cc} とコンデンサ C_4 の充電電圧とを加えた昇圧された電圧が供給される。

【0039】発振回路による第1、第2スイッチ状態の交互の周期動作によって、出力コンデンサ C_5 には、継続的に昇圧電圧(V_{bst})が形成される。

【0040】次に、動作について説明する。図1において、出力端子5は出力回路4によってH(高レベル)またはL(低レベル)に駆動される。バイアス回路8は、出力端子5の出力電圧 V_o に対し、 V_{be} 上側にシフトした電位を、下側駆動トランジスタ Q_{11} のエミッタに与える。

【0041】この構成において、入力回路1に形成されたレベル調整回路9の抵抗 R_1 の値を適当に選んでおくと、入力回路1から下側駆動回路3に入力される出力電圧 V_a のレベルを、L(低レベル)出力時の下側出力飽和電圧とH(高レベル)出力時の上側出力飽和電圧の合計を最小とするように最適化することができる。

【0042】このようにして、補助出力回路8にて電圧降下を行わせるためのトランジスタ数を変更することなく、H(高レベル)出力時の出力電圧 V_o とL(低レベル)出力時の出力電圧 V_o をそれぞれ最適レベルに設定することができる。これにより、ドライバ1Aの上側出力飽和電圧と下側出力飽和電圧とを両立して小さくすることができる。

【0043】図2の(A)(B)はそれぞれは、出力電流 I_o に対する出力飽和電圧 V_{sat} (上側出力飽和電圧と下側出力飽和電圧の合計)の変化状態をグラフで示したものであって、(A)は上記レベル調整回路9を使用しなかった場合、(B)は上記レベル調整回路9を使用して最適化処理を行った場合をそれぞれ示す。同図に示すように、出力飽和電圧 V_{sat} は、上記レベル調整回路9での設定によって大幅な低減化が可能である。

【0044】図3は出力電流 I_o に対する下側出力飽和電圧 V_{sat} の変化状態をグラフで示したものであって、(A)は上記レベル調整回路9を使用しなかった場合、(B)は上記レベル調整回路9を使用して最適化設定を行った場合をそれぞれ示す。

【0045】図4はトランジスタ(Q_3 , Q_4)のエミッタ面積 A_E とそのエミッタ面積によって得られる出力飽和電圧 V_{sat} との関係を示したものであって、同図に示すように、本発明では、同じ出力飽和電圧 V_{sat} を得るためのエミッタ面積を従来比でほぼ半分にすることができる。これにより、半導体集積回路化する場合に、半導体チップ面積の縮小による低コスト化を達成することができる。

【0046】図1の回路を周知のモノリシック半導体集積回路、すなわちP型シリコンからなるような半導体基板上に、pn接合分離や絶縁層分離されたn型シリコンからなるような素子形成領域を形成し、かかる素子形成領域に拡散抵抗やnpnバチカルトランジスタ、pnpラテラルトランジスタを形成する半導体集積回路化する場合、良い性能を得ることができるとともに、必要とする半導体チップを比較的、小さいものとすることができる。

【0047】すなわち、出力トランジスタ Q_3 , Q_4 は、それらによって制御すべき電流が比較的大きいことによって、大きいサイズが必要となるものとなる。n型素子形成領域が、順次にベース、エミッタを形成するいわゆるバチカル構造のnpnトランジスタと、n型素子形成領域に互いに離間してp型エミッタ、コレクタを形成するいわゆるラテラル構造のpnpトランジスタとを対結した場合、npnトランジスタの方が遮断周波数特性も良く、かつ同じ許容電流なら、比較的小さいサイズとすることができる。従って、性能が良く、かつ比較的半導体チップサイズの小さい半導体集積回路を得ることができる。

【0048】図示の入力回路1は、ダーリントン接続のトランジスタ Q_1 , Q_2 のコレクタが実質的に共通にされていることによって、入力電流 I_{cnt} のレベルの不所望な増大にかかわらずに、出力トランジスタ Q_4 の最適駆動を可能とする。

【0049】すなわち、トランジスタ Q_1 のコレクタ電位は、かかるトランジスタ Q_1 が十分にオンとなるように入力電流 I_{cnt} が充分大きなレベルになった場合であっても、ほぼそのエミッタ電位にまで低下するにすぎない。これに応じて、その時の入力回路1の出力 V_{cc} すなわちトランジスタ Q_2 のコレクタ電位は、回路の接地電位より高い電位にまでしか低下しない。出力 V_a の最低レベルのこのような制限により、下側駆動トランジスタ Q_{11} が強くオン状態にされてしまうことを防ぐことができ、これに応じて出力トランジスタ Q_4 が過大電流をもって駆動されてしまうことを防ぐことができる。

【0050】なお、図示の構成でなく、例えばトランジスタQ1を省き、トランジスタQ2のベースに直接に入力電流 I_{cnt} を与えるようにする場合、入力電流 I_{cnt} が大きくなるとそれに応じてトランジスタQ2が十分にオン状態となる可能性が生じ、トランジスタQ2のコレクタ電位、すなわち入力回路1の出力 V_a がほぼ回路の接地電位にまで低下する可能性が生ずる。このように出力 V_a がほぼ回路の接地電位にまで低下すると、下側駆動トランジスタQ11が強くオン状態とされ、これに応じて出力トランジスタQ4が過大電流をもって駆動される。すなわち、バイアス回路8は図9に関連しての説明から明らかなように出力端子5の出力 V_o に対し、ベース・エミッタ順方向電圧 V_{be} だけ正電位側にレベルシフトした電位を下側駆動トランジスタQ11のエミッタに与える。これに応じて、下側駆動トランジスタQ11は、そのベース電位すなわち入力回路1の出力 V_a がほぼ回路の接地電位にまで低下してしまったなら、出力回路4の出力 V_o がほぼ接地電位に低下するまでオン状態を維持するものである。これに応じて、出力トランジスタQ4は、いわば過剰飽和状態まで駆動され、大きなベース蓄積電荷をもつようになり、大きな動作遅延をもつようになる。その結果、出力端子5の出力 V_o に大きな信号歪を与えられてしまうこととなるものである。

【0051】図1のようにする場合は、上述のように入力回路1の出力 V_a の最低レベルを制限することができ、出力トランジスタQ4の過剰飽和を防ぐことができる。言いかえると、出力 V_o の信号歪を増大させない程度に、出力 V_o のダイナミックレンジを十分に大きくすることができる。

【0052】以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0053】たとえば、図5は本発明の第2の実施例を示したものであって、この第2の実施例では、入力回路1を構成する第2トランジスタQ2のコレクタにショットキー・ダイオードD1を直列に挿入することにより、レベル調整回路9を形成している。このレベル調整回路9を使う場合は、出力飽和電圧の設定値がショットキー・ダイオードD1によって固定されてしまい、出力ダイナミックレンジを最大とするような微調整が困難となるものの、トランジスタのベース・エミッタ間電圧 V_{be} よりも小さなショットキー電圧分の電圧シフトにより、出力飽和電圧の最適化設定を行うことができる。

【0054】また、図6は本発明の第3の実施例を示したものであって、同図に示すように、入力回路1を構成する第1トランジスタQ1のコレクタを第2トランジスタQ2のコレクタから分離し、この分離した第1トランジスタQ1のコレクタを出力回路4と同じ電源電位 V_c

cに接続することによっても、上記レベル調整回路9を形成することができる。

【0055】さらに、図7に示す第4の実施例のように、レベル調整回路9は、入力回路1を形成する第1トランジスタQ1のコレクタを第2トランジスタQ2のコレクタから分離し、この分離した第1トランジスタQ1のコレクタを出力回路4と同じ電源電位 V_c に接続するとともに、第2トランジスタQ2のエミッタに抵抗R30を挿入したものであってもよい。

【0056】以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野である磁気ディスク記憶ドライブ装置(HDD)に適用した場合について説明したが、それに限定されるものではなく、たとえば光ディスク記憶ドライブ装置(CD-ROM)などにも適用できる。

【0057】

【発明の効果】本願において開示される発明のうち、代表的なものの効果を簡単に説明すれば、下記のとおりである。

【0058】すなわち、ドライバの上側出力飽和電圧と下側出力飽和電圧とを両立して小さくすることができ、同じ出力飽和電圧を得る場合は素子サイズを大幅に縮小して低コスト化を達成することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の技術が適用されたドライバの第1の実施例を示す回路図

【図2】出力電流に対する上側および下側の出力飽和電圧の合計の変化状態を示すグラフ

【図3】出力電流に対する下側出力飽和電圧の変化状態を示すグラフ

【図4】トランジスタのサイズと出力飽和電圧との関係を示すグラフ

【図5】本発明の第2の実施例を示す回路図

【図6】本発明の第3の実施例を示す回路図

【図7】本発明の第4の実施例を示す回路図

【図8】発明者らが予め検討したドライバの概略構成図

【図9】本発明に先立って本発明者らが検討した他のドライバの要部での詳細回路を示す。

【図10】バイアス回路における素子ごとの電圧降下状態を示す表

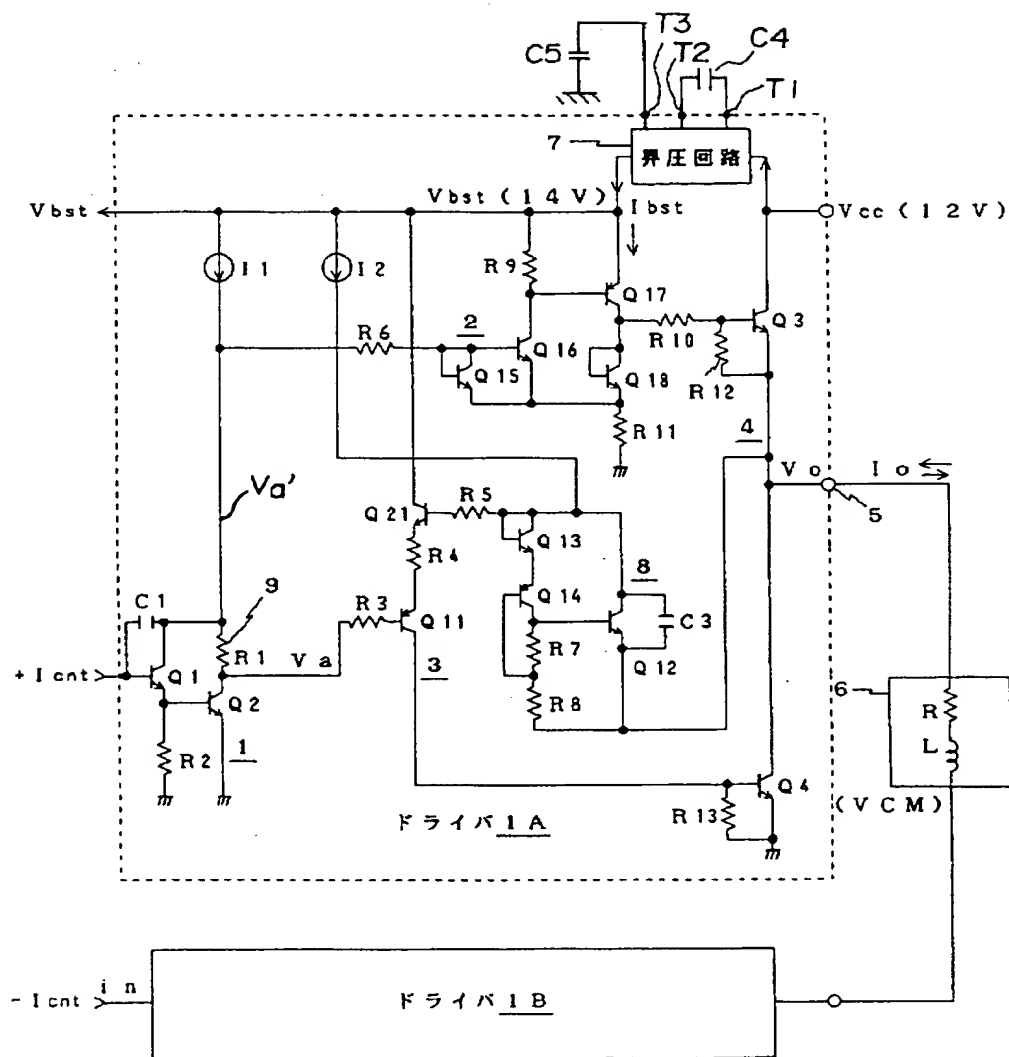
【符号の説明】

- 1 入力回路
- 2 上側駆動回路
- 3 下側駆動回路
- 4 出力回路
- 5 出力端子
- 6 負荷(ボイスコイルモータ)
- 7 昇圧回路
- 8 バイアス回路

9 レベル調整回路

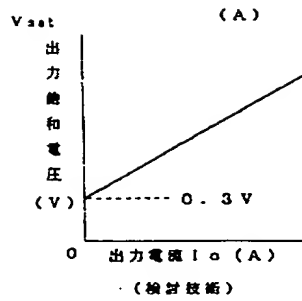
 V_a 入力回路の出力電圧 V_o 出力端子5での出力電圧 V_{cc} 電源電位 (12V) V_{bst} 昇圧電圧 (14V)

【図1】

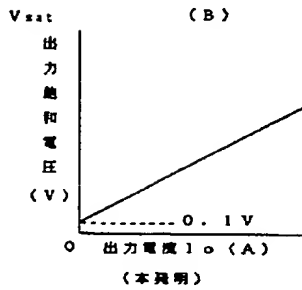
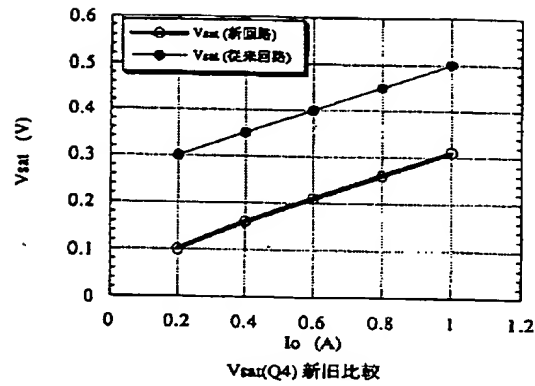


- | | | |
|------------|--------------|-------------|
| 1 : 入力回路 | 4 : 出力回路 | 7 : 昇圧回路 |
| 2 : 上側駆動回路 | 5 : 出力端子 | 8 : 補助出力回路 |
| 3 : 下側駆動回路 | 6 : 負荷 (VCM) | 9 : レベル調整回路 |

【図2】



【図3】

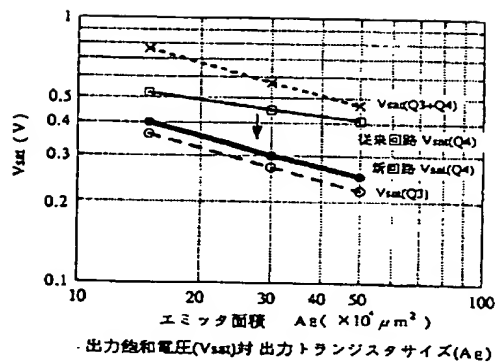


【図10】

出力回路動作電圧一覧表 (計算値)

素子No.	サイズ等 AE, R	Io=0A (Vo=Midレベル)		Io=1A (Vo=Loレベル)	
		I	VBE, VR	I	VBE, VR
Q3	×1000	0.30 mA	557 mV	—	—
Q18	×20	0.525	673	—	—
Q15	×1	0.015	658	—	—
Q11	×60	0.20	619	10.0 mA	721 mV
Q21	×10	0.20	666	10.0	768
Q13	×20	0.035	603	0.035	603
Q14	×5	0.035	639	0.035	639
Q12	×20	0.265	655	0.215	650
R3	500	0	0	0.1	50
R4	5	0	0	10.0	50
R5	1K	0	0	0.05	50
R7	2K	0.035	70	0.035	70

【図4】



$$V_{out} (Mid) = V_A + V_{BE} (Q_{11} + Q_{21} - Q_{13} - Q_{14} - Q_{12}) + 70$$

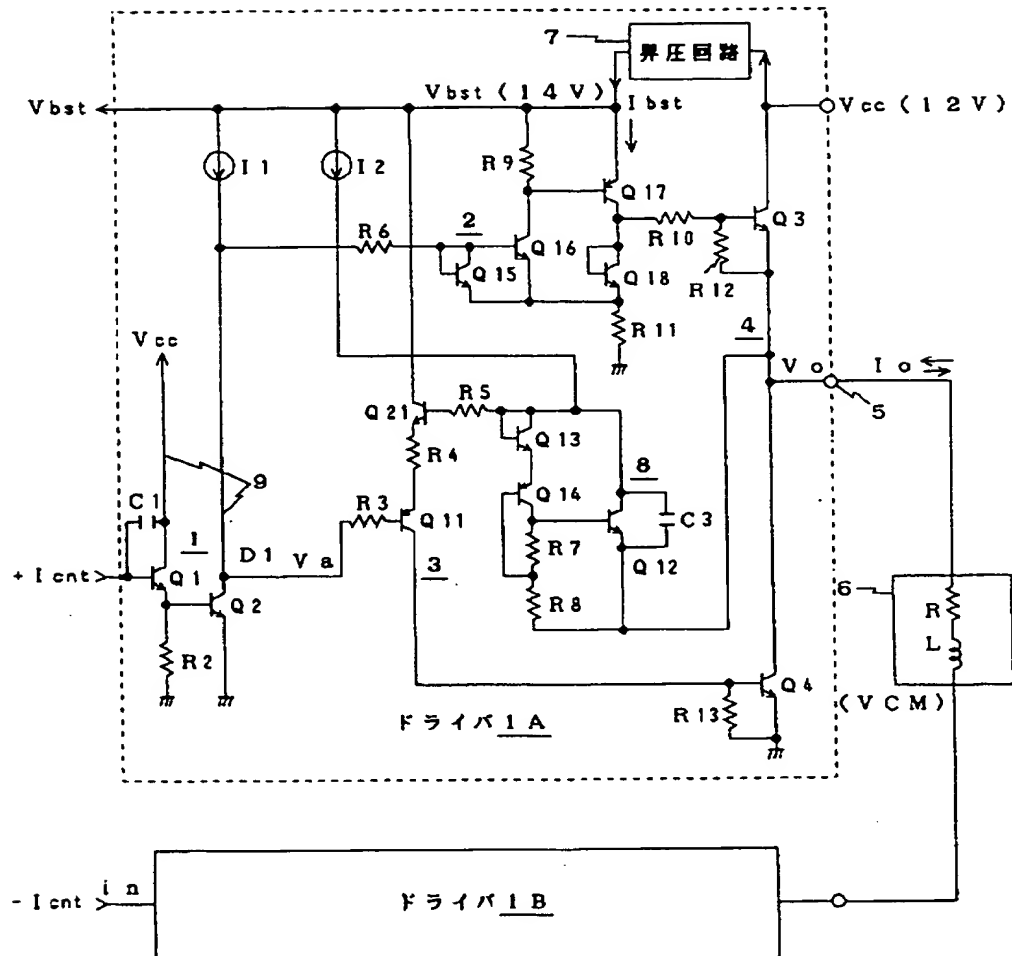
$$= V_A - 542 \text{ (mV)}$$

$$V_{out} (Lo) = V_A + V_{BE} (Q_{11} + Q_{21} - Q_{13} - Q_{14} - Q_{12}) + 220$$

$$= V_A - 163 \text{ (mV)}$$

The diagram illustrates a Class B push-pull amplifier with a bootstrap circuit. The input stage consists of a differential pair (Q1, Q2) with a bootstrap capacitor C1 and diode D1. The signal is then amplified by a second stage (Q11, Q12) and a third stage (Q13, Q14). The output stage (Q15, Q16, Q17, Q18) is a Class B push-pull configuration. A bootstrap circuit (Q3, Q4) is used to drive the load (R, L) from the output node. The circuit is powered by Vcc (12V) and Vbst (1.4V).

【図6】



【図7】

